



Include

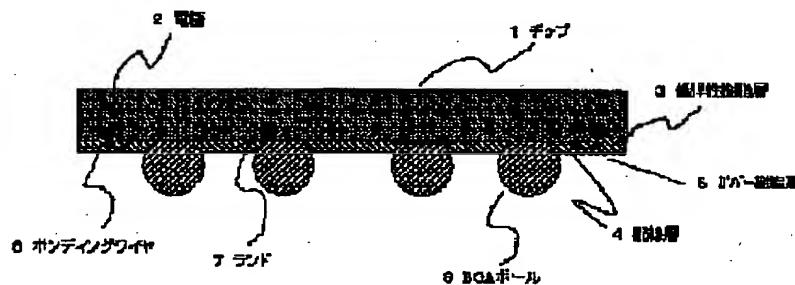
2

## MicroPatent® PatSearch FullText: Record 1 of 1

Search scope: US Granted US Applications EP-A EP-B WO JP ; Full patent spec.

Years: 1990-2002

Text: Patent/Publication No.: JP2000164761



[Order This Patent](#)

[Family Lookup](#)

[Find Similar](#)

[Legal Status](#)

[Go to first matching text](#)

### JP2000164761 A SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF NEC CORP

Inventor(s): TAGO MASAKI

Application No. 10375353 JP10375353 JP, Filed 19981127,A1 Published 20000616 Published 20000616

**Abstract:** PROBLEM TO BE SOLVED: To provide a semiconductor device, which is capable of relaxing the stress that concentrates on a joint between a chip and a wiring layer and on another joint between a package and a mounting board and improving the package in mounting reliability, and a manufacturing method thereof.

**SOLUTION:** A low-elasticity resin layer 3 is provided at a joint between a chip 1 and a wiring layer 4 connected to an outer connection terminal, and the wiring layer 4 formed on the low-elasticity resin layer 3 and an electrode 2 formed on the chip 1 are connected together with a bonding wire 6, so as to relax stresses from concentrating at joints.

Patents Citing This On (1):

→ US6437434B1 20020820 Kabushiki Kaisha Toshiba  
Semiconductor device and semiconductor device mounting  
interconnection board

MicroPatent Reference Number: 000164528

COPYRIGHT: (C) 2000JPO



Home



List

---

For further information, please contact:  
Technical Support | Billing | Sales | General Information

(19)日本国特許庁 (JP)

2  
(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-164761

(P2000-164761A)

(43)公開日 平成12年6月16日 (2000.6.16)

(51)Int.Cl.<sup>7</sup>

H 01 L 23/12

21/60

識別記号

3 0 1

F I

H 01 L 23/12

21/60

テマコト(参考)

L 5 F 0 4 4

3 0 1 A

審査請求 有 請求項の数12 FD (全 10 頁)

(21)出願番号 特願平10-375353

(22)出願日 平成10年11月27日 (1998.11.27)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 田子 雅基

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100097113

弁理士 堀 城之

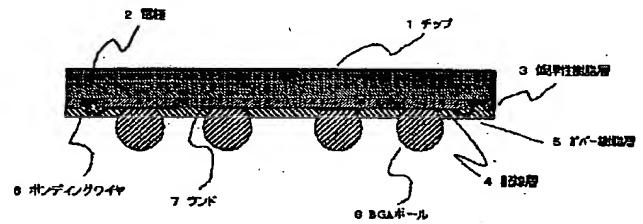
Fターム(参考) 5F044 AA03 JJ03

(54)【発明の名称】 半導体装置および製造方法

(57)【要約】

【課題】 本発明は、チップと配線層との接続部やパッケージと実装基板との接続部に集中する応力の緩和や実装信頼性の向上を図ることができる半導体装置および製造方法を提供することを課題とする。

【解決手段】 チップ1と外部接続端子に接続するための配線層4との接続部に、弾性率の低い低弾性樹脂層3を使用し、低弾性樹脂層3上に形成された配線層4とチップ1上の電極2とをバネ性のあるボンディングワイヤ6を用いてワイヤーボンド接続することで接続部に加わる応力集中を緩和する接続構造。



## 【特許請求の範囲】

【請求項1】 外部端子と電気的導通を得るための半田ボールを備えたチップサイズパッケージタイプの半導体装置であって、

半導体素子が形成されているチップ上に形成されたワイヤーボンド接続用のチップ電極と、

配線層と前記半田ボールとの接続部の少なくとも下部付近であって前記チップ上に、当該接続部に加わる応力集中を緩和できる程度に低い弾性率を示す樹脂を使用して所定の厚さに形成され、前記半導体素子と配線との接続

10

を得るためのビアホールが穿孔された低弾性樹脂層と、前記低弾性樹脂層上に形成され、前記半田ボールと電気的導通を得るための配線層と、

前記低弾性樹脂層上に形成され、前記半田ボールが接続されるランドと、

前記配線層と前記チップ電極とを、バネ性のあるワイヤーボンド接続するためのボンディングワイヤとを有することを特徴とする半導体装置。

【請求項2】 前記半田ボールの表面底部付近が埋まる程度の層厚を有し、少なくとも当該半田ボールの周囲を含んで形成されたカバー樹脂層を有することを特徴とする請求項1に記載の半導体装置。

【請求項3】 外部端子に接続するための半田ボールを備えたチップサイズパッケージタイプの半導体装置であって、

半導体素子が形成されているチップ上に形成されたワイヤーボンド接続用のチップ電極と、

配線層と前記半田ボールとの接続部の少なくとも下部付近であって前記チップ上に、当該接続部に加わる応力集中を緩和できる程度に低い弾性率を示す樹脂を使用して所定の厚さに形成され、前記半導体素子と配線との接続を得るためのビアホールが穿孔された低弾性樹脂層と、前記低弾性樹脂層上に形成され、前記半田ボールと電気的導通を得るための配線層と、

前記低弾性樹脂層上に形成され、前記半田ボールが接続されるランドと、

前記配線層と前記チップ電極とを、バネ性のあるボンディングワイヤでワイヤーボンド接続する工程とを有することを特徴とする半導体装置の製造方法。

【請求項4】 前記ビアポストの側面が埋まる程度の層厚を有し、少なくとも当該ビアポストと電気的に導通されている前記半田ボールの底部であって当該ビアポストの側面周囲を含んで形成されたカバー樹脂層を有することを特徴とする請求項3に記載の半導体装置。

【請求項5】 前記半田ボールの表面底部付近が埋まる程度の層厚を有し、少なくとも当該半田ボールの周囲を含んで形成されたカバー樹脂層を有することを特徴とす

50

2

る請求項3に記載の半導体装置。

【請求項6】 前記ビアポストの側面が埋まる程度の層厚を有し、少なくとも当該ビアポストと電気的に導通されている前記半田ボールの底部であって当該ビアポストの側面周囲を含んで形成された第1のカバー樹脂層と、前記半田ボールの表面底部付近が埋まる程度の層厚を有し、少なくとも当該半田ボールの周囲を含んで前記第1のカバー樹脂層に接して形成された第2のカバー樹脂層を有することを特徴とする請求項3に記載の半導体装置。

【請求項7】 外部端子と電気的導通を得るための半田ボールを備えたチップサイズパッケージタイプの半導体装置の製造方法であって、

半導体素子が形成されているチップ上に、ワイヤーボンド接続用のチップ電極を形成する工程と、配線層と前記半田ボールとの接続部の少なくとも下部付近であって前記チップ上に、当該接続部に加わる応力集中を緩和できる程度に低い弾性率を示す樹脂を使用して所定の厚さを有する低弾性樹脂層を形成するとともに、前記半導体素子と配線との接続を得るためのビアホールを当該低弾性樹脂層に穿孔する工程と、前記低弾性樹脂層上に、前記半田ボールと電気的導通を得るための配線層を形成する工程と、前記低弾性樹脂層上に、前記半田ボールが接続されるランドを形成する工程と、前記配線層と前記チップ電極とを、バネ性のあるボンディングワイヤでワイヤーボンド接続する工程とを有することを特徴とする半導体装置の製造方法。

【請求項8】 前記半田ボールの表面底部付近が埋まる程度の層厚を有し、少なくとも当該半田ボールの周囲を含んでカバー樹脂層を形成する工程を有することを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項9】 外部端子に接続するための半田ボールを備えたチップサイズパッケージタイプの半導体装置の製造方法であって、

半導体素子が形成されているチップ上に、ワイヤーボンド接続用のチップ電極を形成する工程と、配線層と前記半田ボールとの接続部の少なくとも下部付近であって前記チップ上に、当該接続部に加わる応力集中を緩和できる程度に低い弾性率を示す樹脂を使用して所定の厚さを有する低弾性樹脂層を形成するとともに、前記半導体素子と配線との接続を得るためのビアホールを当該低弾性樹脂層に穿孔する工程と、

前記低弾性樹脂層上に、前記半田ボールと電気的導通を得るための配線層を形成する工程と、前記低弾性樹脂層上に、前記半田ボールが接続されるランドを形成する工程と、

前記配線層と前記チップ電極とを、バネ性のあるボンディングワイヤでワイヤーボンド接続する工程と、

前記配線層と前記半田ボールとの電気的導通を得るため

に、当該半田ボールの下部付近を貫通して当該配線層に到達する柱状の導電性材料を含んでピアポストを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項10】 前記ピアポストの側面が埋まる程度の層厚を有するカバー樹脂層を、少なくとも当該ピアポストと電気的に導通されている前記半田ボールの底部であって当該ピアポストの側面周囲を含んで形成する工程を有することを特徴とする請求項9に記載の半導体装置の製造方法。

【請求項11】 前記半田ボールの表面底部付近が埋まる程度の層厚を有するカバー樹脂層を、少なくとも当該半田ボールの周囲を含んで形成する工程を有することを特徴とする請求項9に記載の半導体装置の製造方法。

【請求項12】 前記ピアポストの側面が埋まる程度の層厚を有する第1のカバー樹脂層を、少なくとも当該ピアポストと電気的に導通されている前記半田ボールの底部であって当該ピアポストの側面周囲を含んで形成する工程と、

前記半田ボールの表面底部付近が埋まる程度の層厚を有する第2のカバー樹脂層を、少なくとも当該半田ボールの周囲を含んで前記第1のカバー樹脂層に接して形成する工程とを有することを特徴とする請求項9に記載の半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 本発明は、チップサイズパッケージ又はチップスケールパッケージと呼ばれる半導体装置および半導体装置の製造方法に関し、特に、チップと配線層との接続部やパッケージと実装基板との接続部に集中する応力の緩和や実装信頼性の向上を図ることができる半導体装置および半導体装置の製造方法に関する。

##### 【0002】

【従来の技術】 近年、チップサイズパッケージ又はチップスケールパッケージ（以下、CSP）と呼ばれる半導体装置では、接続部の応力を緩和することが重要な要素の一つとなっている。この目的のため、通常、CSPは、インターポーラーを比較的厚くし、外部端子を半田ボールで構成し、実装基板に搭載、接続されたときの半導体装置と実装基板の熱膨張差によるはんだ接続部に集中する応力を緩和し、クラック等の発生を抑え、接続信頼性を向上させている。また、CSPを構成するチップとインターポーラーとは、ワイヤボンディングやTABボンディングのリードのようにバネ性のある接続手段によって接続されている。このためCSPを構成するチップとインターポーラーとは比較的弾性率の高い樹脂によって封止されてもチップとインターポーラーとの熱膨張差による応力集中が緩和され信頼性が保たれていた。

##### 【0003】 また、CSPの更なる小型、薄型化、低コ

スト化といった市場要求を満たすため、インターポーラーが更に小型、薄型化されたり、組立費の低コスト化とあわせてウエハレベルCSPという製造手法によって従来のインターポーラーを用いずに配線層を形成する技術への需要が多くなってきた。

##### 【0004】

【発明が解決しようとする課題】 しかしながら、このような従来技術で製造されたCSPは、従来の応力緩和効果が薄れることになる。日経エレクトロニクスの98年8月号に、よりチップサイズに近い半導体装置を実現するための様々な構造が列記されているが、いずれもチップとインターポーラー又は配線層との接続部に加わる応力集中に關し、十分とは言えないという問題点があつた。

【0005】 本発明は斯かる問題点を鑑みてなされたものであり、その目的とするところは、半導体装置の小型、薄型化に伴うチップとインターポーラーもしくは配線層の接続部に集中する応力を緩和できる接続構造を有する半導体装置および半導体装置の製造方法を提供することにある。

【0006】 また、本発明の他の目的は、チップサイズパッケージ（CSP: Chip Scale Package）と実装基板との接続部に集中する応力を緩和できる接続構造を有し、実装信頼性の向上を図る半導体装置の構造および製造方法を提供することにある。

##### 【0007】

【課題を解決するための手段】 本発明の請求項1に記載の要旨は、外部端子と電気的導通を得るための半田ボールを備えたチップサイズパッケージタイプの半導体装置であって、半導体素子が形成されているチップ上に形成されたワイヤーボンド接続用のチップ電極と、配線層と前記半田ボールとの接続部の少なくとも下部付近であつて前記チップ上に、当該接続部に加わる応力集中を緩和できる程度に低い弾性率を示す樹脂を使用して所定の厚さに形成され、前記半導体素子と配線との接続を得るためのピアホールが穿孔された低弾性樹脂層と、前記低弾性樹脂層上に形成され、前記半田ボールと電気的導通を得るための配線層と、前記低弾性樹脂層上に形成され、前記半田ボールが接続されるランドと、前記配線層と前記チップ電極とを、バネ性のあるワイヤーボンド接続するためのボンディングワイヤとを有することを特徴とする半導体装置に存する。また本発明の請求項2に記載の要旨は、前記半田ボールの表面底部付近が埋まる程度の層厚を有し、少なくとも当該半田ボールの周囲を含んで形成されたカバー樹脂層を有することを特徴とする請求項1に記載の半導体装置に存する。また本発明の請求項3に記載の要旨は、外部端子に接続するための半田ボールを備えたチップサイズパッケージタイプの半導体装置であつて、半導体素子が形成されているチップ上に形成されたワイヤーボンド接続用のチップ電極と、配線層と

前記半田ボールとの接続部の少なくとも下部付近であつて前記チップ上に、当該接続部に加わる応力集中を緩和できる程度に低い弾性率を示す樹脂を使用して所定の厚さに形成され、前記半導体素子と配線との接続を得るためにピアホールが穿孔された低弾性樹脂層と、前記低弾性樹脂層上に形成され、前記半田ボールと電気的導通を得るために配線層と、前記低弾性樹脂層上に形成され、前記半田ボールが接続されるランドと、前記配線層と前記チップ電極とを、バネ性のあるワイヤーボンド接続するためのボンディングワイヤと、前記配線層と前記半田ボールとの電気的導通を得るために、当該半田ボールの下部付近を貫通して当該配線層に到達する柱状の導電性材料を含んで形成されたピアポストとを有することを特徴とする半導体装置に存する。また本発明の請求項4に記載の要旨は、前記ピアポストの側面が埋まる程度の層厚を有し、少なくとも当該ピアポストと電気的に導通されている前記半田ボールの底部であつて当該ピアポストの側面周囲を含んで形成されたカバー樹脂層を有することを特徴とする請求項3に記載の半導体装置に存する。また本発明の請求項5に記載の要旨は、前記半田ボールの表面底部付近が埋まる程度の層厚を有し、少なくとも当該半田ボールの周囲を含んで形成されたカバー樹脂層を有することを特徴とする請求項3に記載の半導体装置に存する。また本発明の請求項6に記載の要旨は、前記ピアポストの側面が埋まる程度の層厚を有し、少なくとも当該ピアポストと電気的に導通されている前記半田ボールの底部であつて当該ピアポストの側面周囲を含んで形成された第1のカバー樹脂層と、前記半田ボールの表面底部付近が埋まる程度の層厚を有し、少なくとも当該半田ボールの周囲を含んで前記第1のカバー樹脂層に接して形成された第2のカバー樹脂層を有することを特徴とする請求項3に記載の半導体装置に存する。また本発明の請求項7に記載の要旨は、外部端子と電気的導通を得るために半田ボールを備えたチップサイズパッケージタイプの半導体装置の製造方法であつて、半導体素子が形成されているチップ上に、ワイヤーボンド接続用のチップ電極を形成する工程と、配線層と前記半田ボールとの接続部の少なくとも下部付近であつて前記チップ上に、当該接続部に加わる応力集中を緩和できる程度に低い弾性率を示す樹脂を使用して所定の厚さを有する低弾性樹脂層を形成するとともに、前記半導体素子と配線との接続を得るためにピアホールを当該低弾性樹脂層に穿孔する工程と、前記低弾性樹脂層上に、前記半田ボールと電気的導通を得るために配線層を形成する工程と、前記低弾性樹脂層上に、前記半田ボールが接続されるランドを形成する工程と、前記配線層と前記チップ電極とを、バネ性のあるボンディングワイヤでワイヤーボンド接続する工程と、前記配線層と前記半田ボールとの電気的導通を得るために、当該半田ボールの下部付近を貫通して当該配線層に到達する柱状の導電性材料を含んでピアポストを形成する工程とを有することを特徴とする半導体装置の製造方法に存する。また本発明の請求項10に記載の要旨は、前記ピアポストの側面が埋まる程度の層厚を有するカバー樹脂層を、少なくとも当該ピアポストと電気的に導通されている前記半田ボールの底部であつて当該ピアポストの側面周囲を含んで形成する工程とを有することを特徴とする請求項9に記載の半導体装置の製造方法に存する。また本発明の請求項11に記載の要旨は、前記半田ボールの表面底部付近が埋まる程度の層厚を有するカバー樹脂層を、少なくとも当該半田ボールの周囲を含んで形成する工程とを有することを特徴とする請求項9に記載の半導体装置の製造方法に存する。また本発明の請求項12に記載の要旨は、前記ピアポストの側面が埋まる程度の層厚を有する第1のカバー樹脂層を、少なくとも当該ピアポストと電気的に導通されている前記半田ボールの底部であつて当該ピアポストの側面周囲を含んで形成する工程と、前記半田ボールの表面底部付近が埋まる程度の層厚を有する第2のカバー樹脂層を、少なくとも当該半田ボールの周囲を含んで前記第1のカバー樹脂層に接して形成する工程とを有することを特徴とする請求項9に記載の半導体装置の製造方法に存する。

## 【0008】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0009】(第1実施形態)図1は、本発明の半導体装置の第1実施形態の接続構造を説明するための素子断面図である。本実施形態の半導体装置は、チップ1、チップ電極2、低弾性樹脂層3、配線層4、カバー樹脂層5、ボンディングワイヤ6、ランド7、半田ボール(B

GAボール) 8を備えたフリップチップBGA (Ball Grid Array: ボールグリッドアレイ) タイプの半導体装置であって、チップ1と外部接続端子に接続するための配線層4との接続部に、弾性率の低い低弾性樹脂層3を使用し、低弾性樹脂層3上に形成された配線層4とチップ1上のチップ電極2とをバネ性のあるボンディングワイヤ6を用いてワイヤーボンド接続することで接続部に加わる応力集中を緩和する接続構造とした点に特徴を有している。

【0010】本実施形態では、半導体素子上に弾性率が1kgf/mm<sup>2</sup>の低弾性樹脂層3を形成し、この低弾性樹脂層3の上に配線層4を設けている。また、チップ1から外部端子に接続するための接続構造として、配線層4を形成する低弾性樹脂層3に低弾性率の樹脂を採用し、配線層4とチップ1との接続にワイヤボンディングを使用している。具体的には、半導体素子(図中でチップ1と表記)のチップ電極2と配線層4をボンディングワイヤ6を用いてワイヤーボンド接続する。配線層4は、Cuの配線、ボンディング性を考慮してAgの部分メッキを施したCuの配線、またはCu/Ni/Auの構成の配線を用いる。この配線層4で外部端子であるBGAボール8取り付け用のランド7(BGAボール8の取り付けランド7)とワイヤボンディング部を構成、カバー樹脂層5によりワイヤボンディング部を保護し、ランド7を形成している。

【0011】以上説明したように、本発明の半導体装置の第1実施形態の接続構造によれば、低弾性樹脂とワイヤボンディングの組み合わせ、または低弾性樹脂の階層構造とワイヤボンディングの組み合わせにより、応力集中を緩和できる構造を得られる。また、低弾性樹脂層3を用いることにより、半導体装置を実装して使用する際の実装基板とチップ1との熱膨張係数の差による伸縮により材料界面に発生する劣化を柔軟に緩和し、クラック(亀裂)やクラックに起因する破断などを防止できるようになる。その結果、半導体装置使用時の長期信頼性、特に温度サイクル信頼性が向上するという効果が得られる。

【0012】図4は、本発明の半導体装置製造方法の第1実施形態であって、図1の半導体装置の接続構造を作成する場合の工程断面図である。図4(a)の工程は個片切断されていない半導体素子(チップ1またはウエハ)を示しており、図4(b)の工程に示すように、半導体素子上に低弾性樹脂層3、銅箔層の順番で形成して接続構造としている。低弾性樹脂層3と銅箔層との積層膜を形成する方法としては、低弾性樹脂をおおよそ30μm~80μm厚のシート状に加工し、おおよそ20μm程度の銅箔とともにホットプレスにより接着する方法、スピンドルコーターやカーテンコーターや印刷等の方式により液状の低弾性樹脂を所要の厚さに塗布して硬化させた後にメッキ法により銅配線層を形成する工法を用い

50

ることができる。

【0013】ここで、低弾性樹脂層3の弾性率Eとして1kgf/mm<sup>2</sup>を選択しているが、組み合わせる半導体素子、または配線の材質や厚さにより10kgf/mm<sup>2</sup>~100kgf/mm<sup>2</sup>オーダまで選択、調整することができる。次の図4(c)の工程では、配線層4に露光現像の技術を用い所定のパターンに加工する。図4(d)の工程では、半導体素子のチップ電極2と配線層4の電気的接続を取るため、低弾性樹脂層3にレーザーによって孔開け加工し、表面処理を行う。

【0014】図4(e)の工程では、パターンニングした配線層4と半導体素子のチップ電極2との電気的接続をボンディングワイヤ6を用いたワイヤーボンド接続により行う。図4(f)、(g)の工程でソルダーレジストを形成し、図4(h)の工程では、外部端子であるBGAボール8を取り付けた後にウエハを切断して工程を終了する。

【0015】以上説明したように、本発明の半導体装置製造方法の第1実施形態によれば、ウエハ状態にて工程を進めることにより、低弾性樹脂層3及び配線層4の形成方法にシート状樹脂の貼付、または液状樹脂の塗布そして配線層4では金属箔の貼付やメッキと言った工法が自由に選べる特徴があり、材料の特性を活かす効果が期待できる。更にウエハ一括処理を行うことや、半導体素子と配線層4の層間接続にワイヤボンディングを用いることなどがコストダウンにつながる。また、ワイヤボンディングを行う工程(図4(e)の工程)以外は、ホットプレス、印刷、露光現像などの一括した工程を用いることにより、インターポーラーをウエハに貼り付ける方式に比べて、精密かつ安価に製造できる利点を持つ。また、低弾性樹脂とワイヤボンディングの組み合わせ、または低弾性樹脂の階層構造とワイヤボンディングの組み合わせにより、応力集中を緩和できる構造を得られる。また、低弾性樹脂層3を用いることにより、半導体装置を実装して使用する際の実装基板とチップ1との熱膨張係数の差による伸縮により材料界面に発生する劣化を柔軟に緩和し、クラック(亀裂)やクラックに起因する破断などを防止できるようになる。その結果、半導体装置使用時の長期信頼性、特に温度サイクル信頼性が向上するという効果が得られる。

【0016】(第2実施形態)図2は、本発明の半導体装置の第2実施形態の接続構造を説明するための素子断面図である。図2に示す本実施形態の半導体装置は、チップ1、チップ電極2、低弾性樹脂層3、配線層4、ボンディングワイヤ6、ランド7、BGAボール8に加えて、ピアポスト9を備えたフリップチップBGA(ボールグリッドアレイ)タイプの半導体装置であって、チップ1から外部端子に接続するための構造として、配線層4を形成する低弾性樹脂層3に低弾性率の樹脂を採用するとともに、配線層4とチップ1との接続にワイヤボン

ティングを使用し、配線層4と外部端子の接続を得るために柱状の導電性材料を高く積み上げたピアポスト9を設けた接続構造としている点に特徴を有している。

【0017】また本実施形態では、半導体素子上に弾性率が1kgf/mm<sup>2</sup>の低弾性樹脂層3を形成し、この低弾性樹脂層3の上に配線層4を設け、半導体素子のチップ電極2と配線層4をボンディングワイヤ6を用いてワイヤーボンド接続する。配線層4は、Cuの配線、ボンディング性を考慮してAgの部分メッキを施したCuの配線、または、Cu/Ni/Auの構成の配線を用いる。配線上には更に接続信頼性を向上させるためにCuメッキによりピアポスト9を設け、ピアポスト9上に外部端子であるBGAボール8を取り付け用のランド7とワイヤボンディング部とを構成する接続構造としている。

【0018】以上、半導体装置の第2実施形態の接続構造を要約すれば、低弾性樹脂層3及び柱状の導電性材料によるピアポスト9を用いることにより、半導体装置を実装して使用する際の実装基板とチップ1との熱膨張係数の差による伸縮により材料界面に発生する劣化を柔軟に緩和し、クラック(亀裂)やクラックに起因する破断などを防止する役目を果たす。従って半導体装置使用時の長期信頼性、特に温度サイクル信頼性が向上するという効果が得られる。

【0019】図5は、本発明の半導体装置製造方法の第2実施形態であって、図2の半導体装置の接続構造を作成する場合の工程断面図である。図5を参照すると、本発明の一実施形態としての半導体装置及び半導体装置製造方法の工程断面図が示されている。図5(a)の工程は個片切断されていない半導体素子(ウエハ)を示している。図5(b)の工程では、低弾性樹脂層3を形成した後に銅箔層を形成する。低弾性樹脂層3と銅箔層とを形成する方法としては、低弾性樹脂を30μm～80μmのシート状に加工し、およそ20μm程度の銅箔とともにホットプレスにより接着する方法や液状の低弾性樹脂をスピニコーターやカーテンコーターや印刷等の方式を用いて所要の厚さに塗布し硬化させた後、メッキ法を用いて銅配線層を形成する工法を用いることができる。

【0020】次の図5(c)の工程では、配線層4に露光現像の技術を用いて所定のパターンに加工する。図5(d)の工程では、半導体素子のチップ電極2と配線層4との電気的接続を取るため、低弾性樹脂層3にレーザーによって孔開け加工し、表面処理を行う。図5(e)の工程では、パターンニングした配線層4と半導体素子のチップ電極2との電気的接続をボンディングワイヤ6を用いて行う。図5(f)の工程では、再び低弾性樹脂層3を形成するため液状の低弾性樹脂をコートする。図5(g)の工程では、所定のパターン位置に開口部を設ける。

【0021】図5(h)の工程では、導電性材料で孔埋めしてピアポスト9を作成する。ここで使用する低弾性

樹脂は先に形成した低弾性樹脂層3と同様の樹脂または弾性率を特に調整した第2の低弾性樹脂を使用してもよい。ピアポスト9を作成するための孔埋め材料として金属材料を使用する場合は、電気メッキ法を用いることが望ましい。また導電性樹脂を使用する場合は、印刷法を用いることが望ましい。

【0022】次に図5(i)の工程では、孔埋めした導電性材料(ピアポスト9)の頂部に外部端子であるBGAボール8を取り付けるためのランド7をメッキにより形成し、ソルダーレジストをパターンニングする。図5(j)の工程では、外部端子であるBGAボール8を取り付けた後、ウエハを切断して工程を終了する。

【0023】以上説明したように、本発明の半導体装置製造方法の第2実施形態によれば、ウエハ状態にて工程を進めることにより、低弾性樹脂層3及び配線層4の形成方法にシート状樹脂の貼付、または液状樹脂の塗布そして配線層4では金属箔の貼付やメッキと言った工法が自由に選べる特徴があり、材料の特性を活かす効果が期待できる。更にウエハ一括処理を行うことや、半導体素子と配線層4の層間接続にワイヤボンディングを用いることなどがコストダウンにつながる。また、ワイヤボンディングを行う工程(図5(e)の工程)以外は、ホットプレス、印刷、露光現像などの一括した工程を用いることにより、インターポーラーをウエハに貼り付ける方式に比べて、精密かつ安価に製造できる利点を持つ。また、低弾性樹脂とワイヤボンディングの組み合わせ、または低弾性樹脂の階層構造とワイヤボンディングの組み合わせにより、応力集中を緩和できる構造を得られる。また、低弾性樹脂層3を用いることにより、半導体装置を実装して使用する際の実装基板とチップ1との熱膨張係数の差による伸縮により材料界面に発生する劣化を柔軟に緩和し、クラック(亀裂)やクラックに起因する破断などを防止できるようになる。その結果、半導体装置使用時の長期信頼性、特に温度サイクル信頼性が向上するという効果が得られる。

【0024】(第3実施形態)図3は、本発明の半導体装置の第3実施形態の接続構造を説明するための素子断面図である。図3に示す本実施形態の半導体装置は、図2の半導体装置の第2実施形態の接続構造に比べて、チップ1、チップ電極2、低弾性樹脂層3、配線層4、ボンディングワイヤ6、ランド7、BGAボール8、ピアポスト9に加えて、カバー樹脂層5(以下、カバー樹脂層5a、カバー樹脂層5bと区別する)を追加したフリップチップBGAタイプの半導体装置であって、チップ1から外部端子に接続するための構造として、配線層4を形成する低弾性樹脂層3に低弾性率の樹脂を採用するとともに、配線層4とチップ1との接続にワイヤボンディングを使用し、配線層4と外部端子の接続を得るために柱状の導電性材料を高く積み上げたピアポスト9を設けた接続構造としている点に特徴を有している。

【0025】また本実施形態では、半導体素子上に弾性率が1 kgf/mm<sup>2</sup>の低弾性樹脂層3を形成し、この低弾性樹脂層3の上に配線層4を設け、半導体素子のチップ電極2と配線層4をボンディングワイヤ6を用いてワイヤーボンド接続する。配線層4は、Cuの配線、ボンディング性を考慮してAgの部分メッキを施したCuの配線、または、Cu/Ni/Auの構成の配線を用いる。配線上には更に接続信頼性を向上させるためにCuメッキによりピアポスト9を設け、ピアポスト9上に外部端子であるBGAボール8取り付け用のランド7とワイヤボンディング部とを構成し、カバー樹脂層5aによりワイヤボンディング部を保護し、更に、外部端子となるBGAボール8のランド7を補強するとともに接続信頼性を向上させる目的でカバー樹脂層5bを設けている。

【0026】ここで、カバー樹脂層5a及びカバー樹脂層5bは低弾性樹脂層3と同じ材料を用いてもよく、半導体素子、ピアポスト9に使用する材料および構造を考慮して弾性率を選択する。またピアポスト9は導電性材料としてメッキした金属を選択しているが、導電粒子を混合した樹脂ペーストを使用してもよい。この場合ピアポスト9の弾性率を極力下げて、カバー樹脂層5aの弾性率を高く設定することで、接続時のランド7にかかる応力の集中を緩和できる。

【0027】以上、導体装置の第3実施形態の接続構造を要約すれば、低弾性樹脂層3及び柱状の導電性材料によるピアポスト9を用いることにより、半導体装置を実装して使用する際の実装基板とチップ1との熱膨張係数の差による伸縮により材料界面に発生する劣化を柔軟に緩和し、クラック(亀裂)やクラックに起因する破断などを防止する役目を果たす。従って半導体装置使用時の長期信頼性、特に温度サイクル信頼性が向上するという効果が得られる。

【0028】図5は、本発明の半導体装置製造方法の第3実施形態であって、図3の半導体装置の接続構造を作成する場合の工程断面図である。図5を用いて図3に示す半導体装置の第3実施形態の接続構造の製造方法を説明する。本発明の一実施形態としての半導体装置及び半導体装置製造方法の工程断面図が示されている。図5

(a)の工程は個片切断されていない半導体素子(ウエハ)を示している。図5(b)の工程では、低弾性樹脂層3を形成した後に銅箔層を形成する。低弾性樹脂層3と銅箔層とを形成する方法としては、低弾性樹脂を30μm～80μmのシート状に加工し、およそ20μm程度の銅箔とともにホットプレスにより接着する方法や液状の低弾性樹脂をスピンドルーカーテンコーナーや印刷等の方式を用いて所要の厚さに塗布し硬化させた後、メッキ法を用いて銅配線層を形成する工法を用いることができる。

【0029】次の図5(c)の工程では、配線層4に露

光現像の技術を用いて所定のパターンに加工する。図5(d)の工程では、半導体素子のチップ電極2と配線層4との電気的接続を取るため、低弾性樹脂層3にレーザーによって孔開け加工し、表面処理を行う。図5(e)の工程では、パターンニングした配線層4と半導体素子のチップ電極2との電気的接続をボンディングワイヤ6を用いて行う。図5(f)の工程では、再び低弾性樹脂層3を形成するため液状の低弾性樹脂をコートする。図5(g)の工程では、所定のパターン位置に開口部を設ける。

【0030】図5(h)の工程では、導電性材料で孔埋めしてピアポスト9を作成する。ここで使用する低弾性樹脂は先に形成した低弾性樹脂層3と同様の樹脂または弾性率を特に調整した第2の低弾性樹脂を使用してもよい。ピアポスト9を作成するための孔埋め材料として金属材料を使用する場合は、電気メッキ法を用いることが望ましい。また導電性樹脂を使用する場合は、印刷法を用いることが望ましい。

【0031】次に図5(i)の工程では、孔埋めした導電性材料(ピアポスト9)の頂部に外部端子であるBGAボール8を取り付けるためのランド7をメッキにより形成し、ソルダーレジストをパターンニングする。図5(j)の工程では、外部端子であるBGAボール8を取り付けた後、ワイヤボンディング部を保護するカバー樹脂層5aを形成し、続いて、外部端子となるBGAボール8のランド7を補強するとともに接続信頼性を向上させるカバー樹脂層5bを形成した後、ウエハを切断して工程を終了する。

【0032】以上説明したように、本発明の半導体装置の第3実施形態の接続構造の製造方法によれば、ウエハ状態にて工程を進めることにより、低弾性樹脂層3及び配線層4の形成方法にシート状樹脂の貼付、または液状樹脂の塗布そして配線層4では金属箔の貼付やメッキと言った工法が自由に選べる特徴があり、材料の特性を活かす効果が期待できる。更にウエハ一括処理を行うことや、半導体素子と配線層4の層間接続にワイヤボンディングを用いることなどがコストダウンにつながる。また、ワイヤボンディングを行う工程(図5(e)の工程)以外は、ホットプレス、印刷、露光現像などの一括した工程を用いることにより、インテーポーラーをウエハに貼り付ける方式に比べて、精密かつ安価に製造できる利点を持つ。また、低弾性樹脂とワイヤボンディングの組み合わせ、または低弾性樹脂の階層構造とワイヤボンディングの組み合わせにより、応力集中を緩和できる構造を得られる。また、低弾性樹脂層3を用いることにより、半導体装置を実装して使用する際の実装基板とチップ1との熱膨張係数の差による伸縮により材料界面に発生する劣化を柔軟に緩和し、クラック(亀裂)やクラックに起因する破断などを防止できるようになる。その結果、半導体装置使用時の長期信頼性、特に温度サイク

ル信頼性が向上するという効果が得られる。

【0033】なお、本実施の形態においては、本発明はフリップチップ・ボールグリッドアレイタイプの半導体装置および製造方法に限定されず、本発明を適用する上で好適なフリップチップ・チップサイズパッケージタイプの半導体装置および製造方法に適用することができる。また、上記構成部材の数、位置、形状等は上記実施の形態に限定されず、本発明を実施する上で好適な数、位置、形状等にすることができる。また、各図において、同一構成要素には同一符号を付している。

【0034】

【発明の効果】本発明は以上のように構成されているので、半導体装置の小型、薄型化に伴うチップとインター ボーナーもしくは配線層の接続部に集中する応力を緩和できる接続構造を実現することができる。

【0035】また、パッケージと実装基板との接続部に集中する応力の緩和や実装信頼性の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の第1実施形態の接続構造を説明するための素子断面図である。

10

\* 【図2】本発明の半導体装置の第2実施形態の接続構造を説明するための素子断面図である。

【図3】本発明の半導体装置の第3実施形態の接続構造を説明するための素子断面図である。

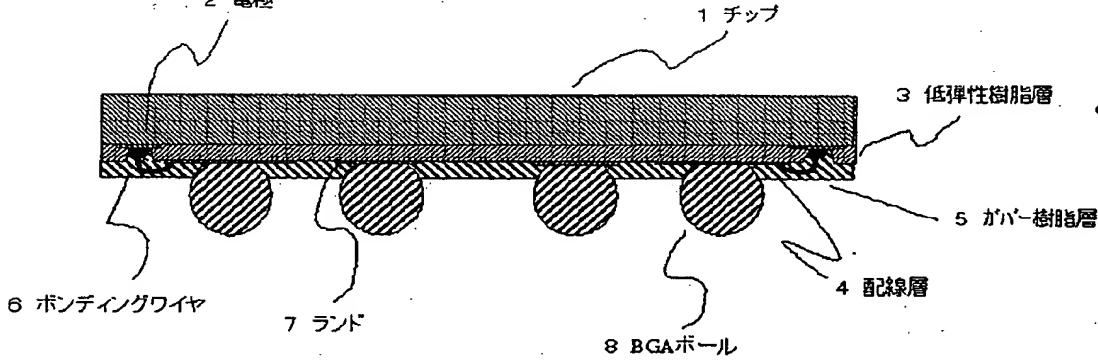
【図4】本発明の半導体装置製造方法の第1実施形態であって、図1の半導体装置の接続構造を作成する場合の工程断面図である。

【図5】本発明の半導体装置製造方法の第2、第3実施形態であって、図2及び図3の半導体装置の接続構造を作成する場合の工程断面図である。

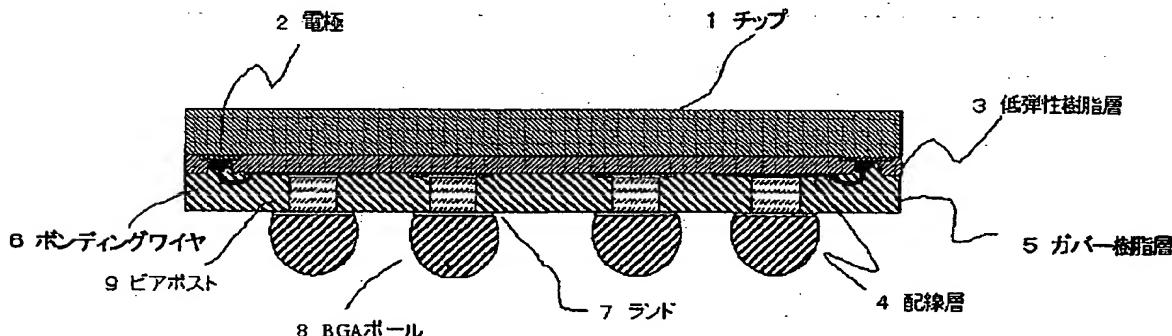
【符号の説明】

- 1 …チップ
- 2 …電極
- 3 …低弾性樹脂層
- 4 …配線層
- 5 …カバー樹脂層
- 6 …ボンディングワイヤ
- 7 …ランド
- 8 …BGAボール
- 9 …ピアポスト

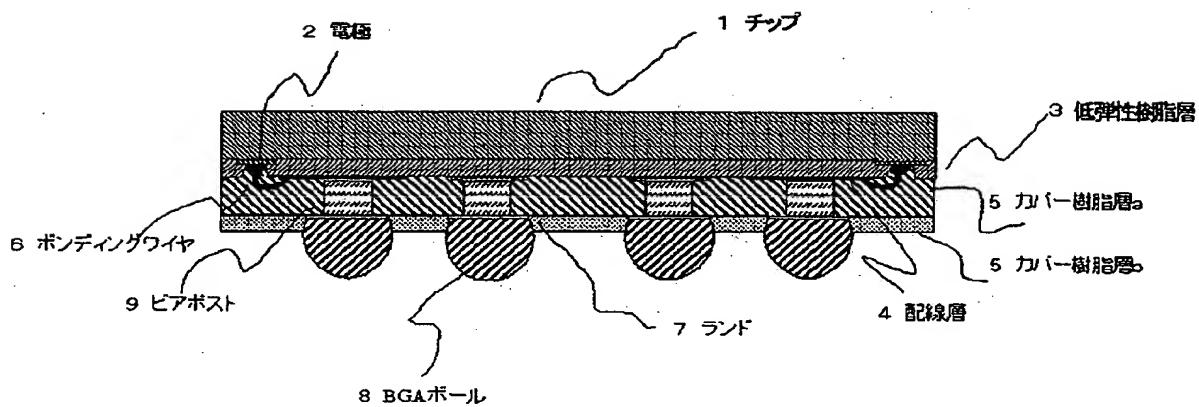
【図1】



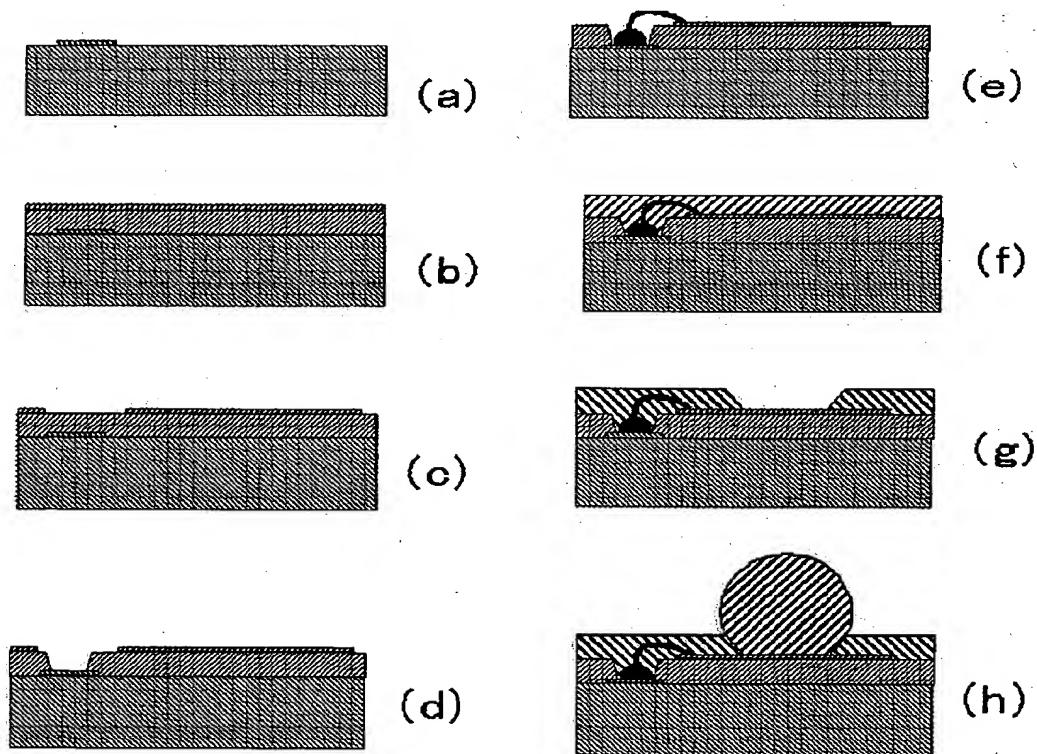
【図2】



【図3】



【図4】



【図5】

